

AB

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 07-283215
 (43) Date of publication of application : 27.10.1995

(51) Int. Cl. H01L 21/3205

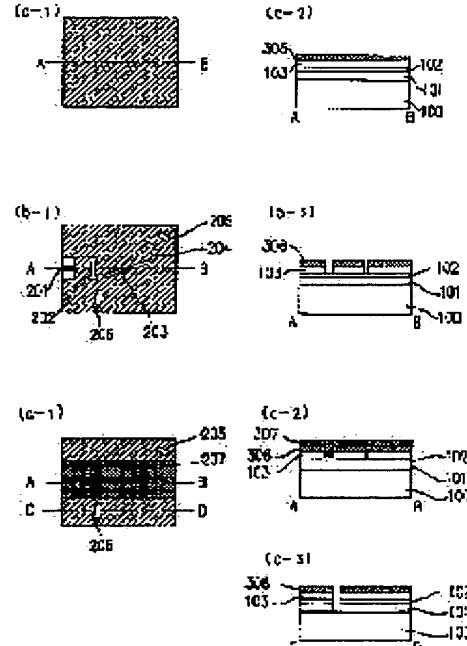
(21) Application number : 06-071071 (71) Applicant : SHARP CORP
 (22) Date of filing : 08.04.1994 (72) Inventor : KASAI SHUSUKE
 TANETANI MOTOTAKA
 MORIOKA TATSUYA
 SHIMONAKA ATSUSHI

(54) MANUFACTURE OF OPTICAL INTEGRATED CIRCUIT

(57) Abstract:

PURPOSE: To manufacture an optical integrated circuit efficiently at high yield rate and at low cost by simple mask alignment.

CONSTITUTION: The first photoresist 306 is coated on an optical waveguide, and the region, on which a microguide 201, a waveguide lens 202, an optical branching filter 203, a phase shifter 204 and two mirrors 205 and 206 are formed, is exposed and removed. The clad layer 103, located on SiO₂, is removed by etching using the first resist film 206 which is left after patterning. This substrate is newly coated with the second photoresist 307, the region 207, consisting of the microguide 201, waveguide lens 202, optical branching filter 203 and phase shifter 204, is left and other region is exposed and removed. An Si₃N₄ core layer 102 and the clad layer 101 under SiO₂ are removed by etching using the second resist film 307 and the first resist film 306, which are left after patterning, as a mask.



LEGAL STATUS

[Date of request for examination] 16.01.1998

[Date of sending the examiner's decision of rejection] 14.08.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2000 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-283215

(43)公開日 平成7年(1995)10月27日

(51)Int.Cl.
H 01 L 21/3205

識別記号 庁内整理番号

F I

技術表示箇所

H 01 L 21/ 88

B

A

審査請求 未請求 請求項の数7 O L (全16頁)

(21)出願番号

特願平6-71071

(22)出願日

平成6年(1994)4月8日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 河西 秀典

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 種谷 元隆

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 森岡 達也

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74)代理人 弁理士 山本 秀策

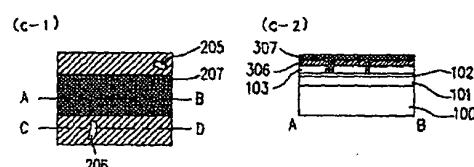
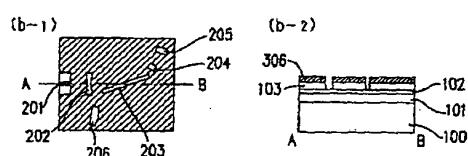
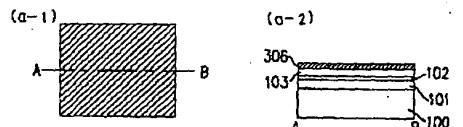
最終頁に続く

(54)【発明の名称】 光集積回路の製造方法

(57)【要約】

【目的】 簡単なマスク合わせにより歩留り良く、効率的に、安価に光集積回路を製造する。

【構成】 光導波路上に第1のフォトレジスト306を塗布し、マイクロガイド201、導波路レンズ202、光分波器203、位相シフタ204および2つのミラー205、206の形成領域上を露光して除去する。パターン化して残された第1のレジスト膜306をマスクとしてSiO₂上クラッド層103をエッティングして除去する。この基板上に、新たに第2のフォトレジスト307を塗布し、マイクロガイド201、導波路レンズ202、光分波器203および位相シフタ204の形成領域を含む領域207上を残して、その他の領域上を露光して除去する。パターン化して残された第2のレジスト膜307および第1のレジスト膜306をマスクとしてSi₃N₄コア層102およびSiO₂下クラッド層101をエッティングして除去する。



【特許請求の範囲】

【請求項1】 光導波路の2箇所以上の領域が深さを異ならせて除去された構成である光集積回路の製造方法であつて、

該光導波路上に第1のレジスト膜を塗布し、該光導波路の2箇所以上の領域上に存在する該第1のレジスト膜部分を除去した後、残された該第1のレジスト膜をマスクとして該領域における光導波路部分を該光導波路部分の全厚よりも浅い第1の深さまで除去する第1の工程と、該光導波路部分が除去された該光導波路上に第2のレジスト膜を塗布し、該2箇所以上の領域のうちの1箇所以上の領域上に存在する該第2のレジスト膜部分を除去する第2の工程と、

残っている該第1のレジスト膜および第2のレジスト膜をマスクとして、該1箇所以上の領域における光導波路部分を該光導波路部分の全厚と同一かまたは全厚よりも浅く該第1の深さよりも深い状態に除去する第3の工程とを含む光集積回路の製造方法。

【請求項2】 前記第1の工程における前記光導波路の除去に、プラズマを利用したドライエッティングを用いる請求項1に記載の光集積回路の製造方法。

【請求項3】 前記第2のレジスト膜を塗布する前に、前記第1のレジスト膜の表面に遠紫外線を照射する請求項1に記載の光集積回路の製造方法。

【請求項4】 前記第2のレジスト膜を塗布する前に、前記第1のレジスト膜の表面にプラズマ処理を施す請求項1に記載の光集積回路の製造方法。

【請求項5】 光導波路の2箇所以上の領域が深さを異ならせて除去された構成である光集積回路の製造方法であつて、

該光導波路上に金属膜を形成し、該金属膜の上に第1のレジスト膜を塗布し、該光導波路の該2箇所以上の領域上に存在する該第1のレジスト膜部分を除去した後、残された該第1のレジスト膜をマスクとして該金属膜をパターン化する第1の工程と、

残された該金属膜をマスクとしてプラズマを利用したドライエッティングにより、該領域における光導波路部分を該光導波路部分の全厚よりも浅い第1の深さまで除去する第2の工程と、

該光導波路部分が除去された光導波路上に第2のレジスト膜を塗布し、該2箇所以上の領域のうちの1箇所以上の領域上に存在する該第2のレジスト膜部分を除去する第3の工程と、

残された該金属膜および第2のレジスト膜をマスクとして、該1箇所以上の領域における光導波路部分を該光導波路部分の全厚と同一かまたは全厚よりも浅く該第1の深さよりも深い状態まで除去する第4の工程とを含む光集積回路の製造方法。

【請求項6】 光導波路の2箇所以上の領域が深さを異ならせて除去された構成である光集積回路の製造方法で

あって、

該光導波路上に第1のレジスト膜を塗布し、該光導波路の2箇所以上の領域以外の上に存在する該第1のレジスト膜部分を除去する第1の工程と、該第1のレジスト膜部分が除去された光導波路上に金属膜を形成し、残っている該第1のレジスト膜を除去することにより第1の工程でレジスト膜が除去された部分以外の領域の該金属膜をリフトオフによって除去してパターン状の金属膜を形成する第2の工程と、

10 パターン化された該金属膜をマスクとして、プラズマを利用したドライエッティングにより該2箇所以上の領域上に存在する光導波路部分を該光導波路部分の全厚よりも浅い第1の深さまで除去する第3の工程と、

該光導波路部分が除去された光導波路上に第2レジスト膜を塗布し、該2箇所以上の領域のうちの1箇所以上の領域上に存在する該第2のレジスト膜部分を除去する第4の工程と、

残された該金属膜および第2のレジスト膜をマスクとして、1箇所以上の領域における光導波路部分を該光導波路部分の全厚と同一かまたは全厚よりも浅く該第1の深さよりも深い状態まで除去する第5の工程とを含む光集積回路の製造方法。

【請求項7】 前記金属膜が、クロム、アルミニウム、チタンおよび金からなる群から選択された1つまたは2以上、もしくはこれらのうちの少なくとも1つを含む材料からなる請求項5または6に記載の光集積回路の製造方法。

【発明の詳細な説明】

【0001】

30 【産業上の利用分野】 本発明は、光導波路の一部または全部を除去することにより光回路を形成し、その組み合わせにより種々の機能を実現する光集積回路の製造方法に関する。

【0002】

【従来の技術】 上述の光集積回路は、従来の光応用システムを超小型化および低価格化することが可能であり、将来の光応用システムにおける基幹デバイスとして非常に有望視されている。特に、基板と屈折率の異なる領域からなる光導波路が形成された基板上に、光源としての半導体レーザ、受光素子および光回路を集積化した導波路型の光集積回路は、ウェハ状態で製造することが可能であるため、電子回路におけるICと同様に大量生産に適している。このような光集積回路については、例えば西原浩他「光集積回路」(オーム社)に詳しく述べられている。さらに、光集積回路の基板としてSi基板や、GaAsまたはInP等の化合物半導体基板を用いることにより周辺デバイスとしての電子回路をも集積化することができ、所謂光電子集積回路を実現することができる。

40 【0003】 このような光集積回路の一例として、例え

ば米国特許4,865,453には図12に示すような光集積回路型の変位計が記載されている。この光集積回路は、光導波路を厚み方向に一部または全部除去することにより、光導波路内にマイクロガイド201、導波路レンズ202、光分波器203、位相シフタ204、ミラー205および206という各光回路が作り込まれ、半導体レーザ素子404、2つの光検出器402、403、および外付けのレンズ401が付加されている。マイクロガイド201、導波路レンズ202、光分波器203および位相シフタ204における光導波路の除去深さと、ミラー205および206における光導波路の除去深さとは、それぞれ異なっている。

【0004】この光集積回路の製造方法について、図11を用いて説明する。この図11において、左側に示した図(a-1)～(d-1)は各工程における上部平面図であり、右側に示した図(a-2)～(d-2)は各々左側に示した図を一点鎖線にて示すA-B線またはC-D線で切断した断面図である。

【0005】まず、図11(a-1)、(a-2)に示すように、シリコン基板100の上に、厚み2μmのSiO₂下クラッド層101、厚み0.25μmのSi₃N₄コア層102および厚み1.5μmのSiO₂上クラッド層103からなる光導波路をスパッタ法により形成する。この光導波路上に、フォトレジスト304を2μmの厚みで塗布する。

【0006】続いて、図11(b-1)、(b-2)に示すように、マイクロガイド201、導波路レンズ202、光分波器203および位相シフタ204を形成するために、各々に対応する領域のフォトレジスト304を露光して除去し、パターン化されて残ったフォトレジスト304をマスクとしてSiO₂上クラッド層103をエッチングして除去する。このエッチングは、CF₄プラズマを用いた反応性イオンエッチング(RIE)により行われる。ここでは、プラズマの発光分析を行って基板表面から離脱するガス中の酸素および窒素の有無をモニターし、酸素による発光が消滅したところでエッチングを終了することによりSi₃N₄コア層102の直上でエッチングを停止する。エッチングされた領域の光導波路(SiO₂下クラッド層101、Si₃N₄コア層102および空気の3層からなる)の等価屈折率は、エッチングされていない領域の光導波路(SiO₂下クラッド層101、Si₃N₄コア層102およびSiO₂上クラッド層103の3層からなる)の等価屈折率よりも低くなり、各々のエッチング形状に応じてマイクロガイド201、導波路レンズ202、光分波器203および位相シフタ204として動作する。これらの光回路は、光導波路を構成するSiO₂下クラッド層101、Si₃N₄コア層102およびSiO₂上クラッド層103の各層の屈折率とエッチング深さとを制御することにより、所望の特性を実現することができる。

【0007】次に、図11(c-1)、(c-2)に示すように、上記エッチング工程に用いたフォトレジスト304を剥離し、基板全面に新たにフォトレジスト305を2.5μmの厚みで塗布する。

【0008】続いて、図11(d-1)、(d-2)に示すように、2つのミラー205および206を形成するために、各々に対応する領域のフォトレジスト305を露光して除去し、パターン化されて残ったフォトレジスト305をマスクとしてSiO₂上クラッド層10

10、Si₃N₄コア層102およびSiO₂下クラッド層101の各層をエッチングして除去する。ここでは、シリコン基板直上でエッチングを停止する。エッチングされた領域の光導波路(空気のみの自由空間)の等価屈折率は、エッチングされていない領域の光導波路(SiO₂下クラッド層101、Si₃N₄コア層102およびSiO₂上クラッド層103の3層からなる)の等価屈折率よりも低くなる。これらの領域の界面では、この屈折率差によって部分的に反射が生じるので、ミラーとして動作させることができる。ここで、ミラー205は到達した光をすべて同一方向に反射させるミラーとして働くように設計されている。また、ミラー206は到達した光の半分を光検出器402に向けて、残りの半分を光検出器403に向けて反射させる光分割器として働くように設計されている。

【0009】このようにして得られる光導波路型の変位計は、図12に示す対象物500までの距離の変化を測定することができる。この変位計において、半導体レーザ404から出射した光は、光導波路面に垂直な方向ではSiO₂下クラッド層101、Si₃N₄コア層102およびSiO₂上クラッド層103の3層からなる光導波路に閉じ込められて導波し、導波路面内方向では上述の光回路によって進路および広がりが規定される。半導体レーザ404を出射した光は、まず、マイクロガイド201によって導波され、その出口で回折によって広がりながら導波路レンズ202に達する。導波路レンズ202により平行光線に変換された光は、光分波器203により2つに分波される。一方の光はミラー205に反射された後、さらにミラー206に反射されて光検出器402、403に達する。他方の光は光分波器203を越えて直進し、外部レンズ401を通って対象物500に至る。

【0010】

【発明が解決しようとする課題】 ところで、上述の製造工程を用いて変位計を作製した場合、深さの異なるエッチングを行うためにフォトレジスト304およびフォトレジスト305の2回の精密なマスク合わせが必要である。このマスク合わせが不十分であると、光分波器203で分波された光がミラー205および206に正しく到達せず、正常に動作しないことが往々にしてあった。

【0011】上記光集積回路において、この2回のマス

ク合わせに要求される角度精度の値は0.1°以下であり、従来のマーク検出型マスクアライナーを用いた露光技術では再現性良く実現することが不可能であった。実際の生産を行う際にも効率が悪く、歩留り低下を引き起こし、低価格化を実現できるはずの光集積回路が実際に高価な製品となっていた。

【0012】特に、上記光集積回路においては、導波路レンズ202によって平行光線に変換された光の内、一部のみが位相シフタ204を通過して位相シフトを受け、残りは位相シフトを受けない。それぞれの光は、対象物500にて反射されて光集積回路内に帰還した光と干渉し、その干渉信号が光検出器402および403で検出されるように設計されている。このため、2回目のマスク合わせで光分波器203とミラー206との位置関係が正確に合っていない場合、位相シフトを受けた光と受けていない光とを分離して観測することができず、安定した干渉信号が得られないという問題であった。

【0013】このように従来の光集積回路の製造方法では、場所によって深さの異なるエッチングを行うために、精密なマスク合わせを含む多重露光を必要とするので、歩留りが非常に悪く、低価格化を実現するのが困難であった。

【0014】本発明は、上記従来技術の問題点を解決すべくなされたものであり、簡単なマスク合わせにより歩留り良く、効率的に、安価に製造することができる光集積回路の製造方法を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明の光集積回路の製造方法は、光導波路の2箇所以上の領域が深さを異ならせて除去された構成である光集積回路の製造方法であって、該光導波路上に第1のレジスト膜を塗布し、該光導波路の2箇所以上の領域上に存在する該第1のレジスト膜部分を除去した後、残された該第1のレジスト膜をマスクとして該領域における光導波路部分を該光導波路部分の全厚よりも浅い第1の深さまで除去する第1の工程と、該光導波路部分が除去された該光導波路上に第2のレジスト膜を塗布し、該2箇所以上の領域のうちの1箇所以上の領域上に存在する該第2のレジスト膜部分を除去する第2の工程と、残っている該第1のレジスト膜および第2のレジスト膜をマスクとして、該1箇所以上の領域における光導波路部分を該光導波路部分の全厚と同一または全厚よりも浅く該第1の深さよりも深い状態まで除去する第3の工程とを含むので、そのことにより上記目的が達成される。

【0016】この光集積回路の製造方法において、前記第1の工程における前記光導波路の除去に、プラズマを利用したドライエッチングを用いてよい。

【0017】この光集積回路の製造方法において、前記第2のレジスト膜を塗布する前に、前記第1のレジスト膜の表面に遠紫外線を照射したり、あるいはプラズマ処理を施してもよい。

理を施してもよい。

【0018】本発明の光集積回路の製造方法は、光導波路の2箇所以上の領域が深さを異ならせて除去された構成である光集積回路の製造方法であって、該光導波路上に金属膜を形成し、該金属膜の上に第1のレジスト膜を塗布し、該光導波路の該2箇所以上の領域上に存在する該第1のレジスト膜部分を除去した後、残された該第1のレジスト膜をマスクとして該金属膜をパターン化する第1の工程と、残された該金属膜をマスクとしてプラズマを利用したドライエッチングにより、該領域における光導波路部分を該光導波路部分の全厚よりも浅い第1の深さまで除去する第2の工程と、該光導波路部分が除去された光導波路上に第2のレジスト膜を塗布し、該2箇所以上の領域のうちの1箇所以上の領域上に存在する該第2のレジスト膜部分を除去する第3の工程と、残された該金属膜および第2のレジスト膜をマスクとして、該1箇所以上の領域における光導波路部分を該光導波路部分の全厚と同一または全厚よりも浅く該第1の深さよりも深い状態まで除去する第4の工程とを含むので、そのことにより上記目的が達成される。

【0019】本発明の光集積回路の製造方法は、光導波路の2箇所以上の領域が深さを異ならせて除去された構成である光集積回路の製造方法であって、該光導波路上に第1のレジスト膜を塗布し、該光導波路の2箇所以上の領域以外の上に存在する該第1のレジスト膜部分を除去する第1の工程と、該第1のレジスト膜部分が除去された光導波路上に金属膜を形成し、残っている該第1のレジスト膜を除去することにより第1の工程でレジスト膜が除去された部分以外の領域の該金属膜をリフトオフによって除去してパターン状の金属膜を形成する第2の工程と、パターン化された該金属膜をマスクとして、プラズマを利用したドライエッチングにより該2箇所以上の領域上に存在する光導波路部分を該光導波路部分の全厚よりも浅い第1の深さまで除去する第3の工程と、該光導波路部分が除去された光導波路上に第2レジスト膜を塗布し、該2箇所以上の領域のうちの1箇所以上の領域上に存在する該第2のレジスト膜部分を除去する第4の工程と、残された該金属膜および第2のレジスト膜をマスクとして、1箇所以上の領域における光導波路部分を該光導波路部分の全厚と同一または全厚よりも浅く該第1の深さよりも深い状態まで除去する第5の工程とを含むので、そのことにより上記目的が達成される。

【0020】前記金属膜としては、クロム、アルミニウム、チタンおよび金からなる群から選択された1つまたは2以上、もしくはこれらのうちの少なくとも1つを含む材料からなるようにしてもよい。

【0021】

【作用】本発明にあっては、光導波路の2箇所以上の領域上に存在する第1のレジスト膜部分を除去し、残された第1のレジスト膜をマスクとして、2箇所以上の領域

の全てが同一の状態で除去される。よって、その全ての領域において、光導波路の全厚よりも浅い状態で、均一な深さとなる。

【0022】全面に第2のレジストを塗布した後、上記2箇所以上の領域上のうちの1箇所以上の領域上に存在する第2のレジスト膜部分を除去する。このとき、上記残された第1のレジスト膜が存在する。よって、その第1のレジスト膜と第2のレジスト膜とをマスクとして2回目の光導波路の除去を行う。この時、先に除去され、所望の深さとなっている領域の上には、第2のレジスト膜が存在して除去が行われない。一方、先に除去されていても、所望の深さとなっていない領域の上には、第2のレジスト膜を形成しないようにしておくことにより、その領域のみが更に深く除去される。更に、この工程を繰り返し行うことにより、順々に深い除去を行うことができる。なお、本発明においては、2箇所以上の領域の深さを3レベル以上で変える必要がある場合には、除去処理の回数はそのレベル数に応じて決定すればよい。

【0023】以上のように本発明による場合には、光導波路の除去されるべき総ての領域が、最初のレジスト膜のパターン化により規定されるので、各パターン相互間の位置関係もそのパターン化によって決まる。このパターン化に用いられるマスクは、電子ビーム露光により一括して作製されるので、各光回路相互の位置関係および角度関係を精度良く制御することができる。

【0024】2回目以降の光導波路の除去においては、1回目の除去において全ての領域のパターンが規定されているので、目的の領域を含む大きな領域で大まかなマスク合わせを行うだけよい。よって、レジスト膜のパターン化を非常に容易に行うことができる。

【0025】また、本発明において、プラズマを利用したドライエッチングを用いる場合には、エッチング中のプラズマの発光分析によりエッチング終了時を決定することができる。また、エッチングの際にC₂F₆、プラズマを用いると第1のレジスト膜表面にテフロン膜を形成することができ、第2のレジスト膜のパターン化の際に第1のレジスト膜が除去されることがない。

【0026】また、本発明において、第1のレジスト膜をパターン化して除去した後、第2のレジスト膜を塗布する前に、第1のレジスト膜表面に遠紫外線を照射したり、プラズマ処理を施す場合には、第1のレジスト膜表面に皮膜が形成され、その結果、第2のレジスト膜のパターン化に際して、第1のレジスト膜が不必要に除去されるのを防止できる。

【0027】また、本発明において、光導波路に金属膜を形成する場合には、第1のレジスト膜を金属膜のパターン化のために用い、パターン化された金属膜をマスクとして光導波路のエッチングを行うこともできる。その金属膜として、クロム、アルミニウム、チタン、金を用いた場合には、プラズマを用いたエッチングにおける耐

プラズマ性の点で利点がある。

【0028】

【実施例】以下、本発明の実施例について、図面を参照しながら説明する。尚、以下の図面において、同様の機能を有する部分については同一の番号で示した。

【0029】(実施例1) 本実施例においては、図2(e-1)、(e-2)、(e-3)に示すような光集積回路の製造に本発明を適用した。

【0030】この光集積回路は、シリコン基板100の上にSiO₂下クラッド層101、Si₃N₄コア層102およびSiO₂上クラッド層103からなる光導波路が形成されている。この光導波路は厚み方向に一部または全部が除去されて、光導波路内にマイクロガイド201、導波路レンズ202、光分波器203、位相シフタ204、ミラー205および206という各光回路が作りこまれている。マイクロガイド201、導波路レンズ202、光分波器203および位相シフタ204における光導波路の除去深さと、ミラー205および206における光導波路の除去深さとは、それぞれ異なっている。この光集積回路は、導波路型変位計に用いられる。

【0031】図1および図2に、本実施例の光集積回路の製造工程を示す。

【0032】まず、図1(a-1)、(a-2)に示すように、シリコン基板100の上に、厚み5μmのSiO₂下クラッド層101、厚み0.15μmのSi₃N₄コア層102および厚み1μmのSiO₂上クラッド層103からなる光導波路をプラズマCVD法により形成した。この光導波路上全面に、第1のフォトレジスト306を2μmの厚みで塗布した。

【0033】続いて、図1(b-1)、(b-2)に示すように、マイクロガイド201、導波路レンズ202、光分波器203および位相シフタ204に加えて、2つのミラー205および206の各々に対応する領域上の第1のフォトレジスト306を露光して除去した。この露光により、エッチングされるべき全てのパターンが規定されて、各光回路相互の位置関係が決定される。尚、この露光工程に用いられるマスクは、電子ビーム露光により一括して作製されたものを用いた。

【0034】その後、パターン化されて残った第1のフォトレジスト306をマスクとしてSiO₂上クラッド層103をエッチングして除去した。このエッチングは、まず、C₂F₆/H₂プラズマを用いたRIEにより0.9μmの深さまでエッチングを行い、残りのSiO₂上クラッド層103をフッ酸系のエッチング液を用いた選択エッチングにより除去した。この方法によれば、Si₃N₄コア層102がエッチングされないので、Si₃N₄コア層102の直上でエッチングを停止することができた。以上により、マイクロガイド201、導波路レンズ202、光分波器203および位相シフタ204として動作する光回路が形成された。これらの光回路は、

光導波路を構成する SiO_2 下クラッド層 101、 Si_3N_4 コア層 102 および SiO_2 上クラッド層 103 の各層の屈折率とエッティング深さとを制御することにより、所望の特性を実現することができる。

【0035】次に、図 1 (c-1)、(c-2)、(c-3) に示すように、上記エッティング工程に用いた第 1 のフォトレジスト 306 をそのまま残し、基板全面に新たに第 2 のフォトレジスト 307 を $2 \mu\text{m}$ の厚みで塗布した。この時、第 1 のフォトレジスト 306 の表面は、上述のエッティング工程においてフッ素プラズマに曝されたことによりテフロン化しているので、2つのフォトレジスト 306 と 307 とが混合することは無かった。

【0036】続いて、マイクロガイド 201、導波路レンズ 202、光分波器 203 および位相シフタ 204 を含む領域 207 上を残して、他の領域上の第 2 のフォトレジスト 307 を露光して除去した。第 1 のフォトレジスト 306 は表面がテフロン化されているので、この露光・現像により除去されなかった。また、この露光工程のためのマスク合わせは、マイクロガイド 201、導波路レンズ 202、光分波器 203 および位相シフタ 204 を含む領域 207 を残すようにすればよいので、高い精度を必要とせず、数 $10 \mu\text{m}$ 程度の精度で充分である。よって、効率よくマスク合わせを行うことができた。

【0037】その後、パターン化されて残った第 1 のフォトレジスト 306 および第 2 のフォトレジスト 307 をマスクとして、2つのミラー 205 および 206 の形成領域を、例えば CF_4/H_2 プラズマを用いた RIE 法によりエッティングする。この領域は、上述のマイクロガイド 201、導波路レンズ 202、光分波器 203 および位相シフタ 204 を形成するためのエッティング工程において SiO_2 上クラッド層 103 のみが除去されているので、ここでは Si_3N_4 コア層 102 および SiO_2 下クラッド層 101 の各層をエッティングするだけで、2つのミラー 205 および 206 が形成された。ここで、ミラー 205 は到達した光をすべて同一方向に反射させるミラーとして働くように、また、ミラー 206 は到達した光の半分を 1 つの光検出器に向けて、残りの半分を他の光検出器に向けて反射させる光分割器として働くように設計した。

【0038】このエッティング工程では、シリコン基板 100 直上でエッティングを停止したが、光導波路内を導波する光の強度分布は数 μm 以下であるので、 SiO_2 下クラッド層 101 をすべて除去する必要はない。光強度分布が殆ど含まれる程度まで除去すれば、途中までエッティングを終了しても光集積回路の動作に影響を与えない。この場合、エッティングされた領域の光導波路（空気のみの自由空間）の等価屈折率と、エッティングされていない領域の光導波路 (SiO_2 下クラッド層 101、 Si_3N_4 コア層 102 および SiO_2 上クラッド層 103

の 3 層からなる) の等価屈折率との差により生じるフレネル反射の反射率は通常 10% 以下程度である。このままでも変位計として動作させることができるが、さらに反射率を向上させるために、ミラー 205、206 面に金属膜を形成してもよい。この金属膜としては、アルミニウムや誘電体多層膜等を用いることができ、以下のようにして形成することができる。

【0039】まず、図 2 (d-1)、(d-2)、(d-3) に示すように、上記エッティング工程に用いた第 1 のフォトレジスト 306 および第 2 のフォトレジスト 307 をそのまま残した状態で、電子ビーム蒸着法により基板全面に金属アルミニウムを 1000 \AA オングストロームの厚みで蒸着した。ここでは、アルミニウムがミラー 205、206 面に均一に付着するように、基板表面がアルミニウム蒸着源に向かって 45° の角度をなすように基板を配置し、かつ基板を回転させながら蒸着を行った。このことにより基板表面に均一にアルミニウム膜 308 を形成することができた。

【0040】次に、テフロン化した第 1 のフォトレジスト 306 表面を除去する酸素プラズマと、その他の変成していないフォトレジストを除去するレジスト剥離液とを併用して、第 1 のフォトレジスト 306 および第 2 のフォトレジスト 307 を剥離した。この時、蒸着されたアルミニウム膜 308 の内、第 1 のフォトレジスト 306 および第 2 のフォトレジスト 307 上に蒸着された部分はフォトレジストの剥離と同時に除去され、2つのミラー 205、206 面に蒸着されたアルミニウム膜 106 のみが最終的に残されて、図 2 (e-1)、(e-2)、(e-3) に示すような光集積回路基板が作製された。

【0041】この光集積回路においては、アルミニウム膜 106 の効果によりミラー 205、206 面における反射率を 95% まで向上させることができ、強い干渉信号が得られた。また、上記製造工程により距離測定用の光集積回路を作製したところ、従来の製造方法では約 10% の良品歩留りしか得られなかったのに対し、98% まで向上させることができた。

【0042】(実施例 2) 本実施例においては、図 4 (f-1)、(f-2)、(f-3) に示すような光集積回路の製造に本発明を適用した。

【0043】この光集積回路は、シリコン基板 100 の上に SiO_2 下クラッド層 101、 Al_2O_3 コア層 104 および SiO_2 上クラッド層 103 からなる光導波路が形成されている。この光導波路は厚み方向に一部または全部が除去されて、光導波路内にマイクロガイド 201、導波路レンズ 202、光分波器 203、位相シフタ 204、ミラー 205 および 206 という各光回路が作りこまれている。マイクロガイド 201、導波路レンズ 202、光分波器 203 および位相シフタ 204 における光導波路の除去深さと、ミラー 205 および 206 に

おける光導波路の除去深さとは、それぞれ異なっている。この光集積回路は、導波路型変位計に用いられる。

【0044】図3および図4に、本実施例の光集積回路の製造工程を示す。

【0045】まず、図3(a-1)、(a-2)に示すように、シリコン基板100の上に、厚み5μmのSiO₂下クラッド層101、厚み0.3μmのAl₂O₃コア層104および厚み1μmのSiO₂上クラッド層103からなる光導波路をRFスパッタ法により形成した。この光導波路上全面に、第1のフォトレジスト306を2μmの厚みで塗布した。

【0046】続いて、図3(b-1)、(b-2)に示すように、マイクロガイド201、導波路レンズ202、光分波器203および位相シフタ204に加えて、2つのミラー205および206の各々に対応する領域上の第1のフォトレジスト306を露光して除去した。この露光により、エッチングされるべき全てのパターンが規定されて、各光回路相互の位置関係が決定される。

【0047】その後、図3(c)に示すように、第1のフォトレジスト306が形成された基板表面全面に遠紫外線600(λ=254nm)を照射した。これにより、第1のフォトレジスト表面に皮膜が形成された。

【0048】次に、図4(d-1)、(d-2)に示すように、パターン化されて残った第1のフォトレジスト306をマスクとしてSiO₂上クラッド層103をエッチングして除去した。このエッチングは、CHF₃/C₂F₆プラズマを用いたRIEにより行った。この際、エッチング中の脱離種を質量分析してモニターすることにより、Al₂O₃コア層104の直上でエッチングを停止することができた。以上により、マイクロガイド201、導波路レンズ202、光分波器203および位相シフタ204として動作する光回路が形成された。これらの光回路は、光導波路を構成するSiO₂下クラッド層101、Al₂O₃コア層104およびSiO₂上クラッド層103の各層の屈折率とエッチング深さとを制御することにより、所望の特性を実現することができる。

【0049】次に、図4(e-1)、(e-2)、(e-3)に示すように、上記エッチング工程に用いた第1のフォトレジスト306をそのまま残し、基板全面に新たに第2のフォトレジスト307を2μmの厚みで塗布した。この時、第1のフォトレジスト306の表面には、上述の遠紫外線照射工程により皮膜が形成されているので2つのフォトレジスト306と307とが混合することは無かった。このことについては、「JOURNAL OF THE ELECTROCHEMICAL SOCIETY」紙の1982年、第129巻、第6号、第1379頁～第1381頁に記載された論文に詳しく報告されている。

【0050】続いて、マイクロガイド201、導波路レンズ202、光分波器203および位相シフタ204を

含む領域207上を残して、他の領域上の第2のフォトレジスト307を露光して除去した。第1のフォトレジスト306は上記遠紫外線照射工程により表面に皮膜が形成されているので、この露光・現像により除去されなかった。また、この露光工程のためのマスク合わせは、マイクロガイド201、導波路レンズ202、光分波器203および位相シフタ204を含む領域207を残すようにすればよいので、高い精度を必要とせず、数10μm程度の精度で充分である。よって、効率よくマスク合わせを行うことができた。

【0051】その後、パターン化されて残った第1のフォトレジスト306および第2のフォトレジスト307をマスクとして、2つのミラー205および206の形成領域を、例えばCHF₃/C₂F₆プラズマを用いたRIE法によりエッチングした。この領域は、上述のマイクロガイド201、導波路レンズ202、光分波器203および位相シフタ204を形成するためのエッチング工程においてSiO₂上クラッド層103が除去されているので、ここではAl₂O₃コア層104およびSiO₂下クラッド層101の各層をエッチングするだけで、2つのミラー205および206が形成された。ここで、ミラー205は到達した光をすべて同一方向に反射させるミラーとして働くように、また、ミラー206は到達した光の半分を1つの光検出器に向けて、残りの半分を他の光検出器に向けて反射させる光分割器として働くように設計した。

【0052】このエッチング工程では、シリコン基板100直上でエッチングを停止したが、実施例1と同様に、途中までエッチングを終了しても光集積回路の動作に影響を与えない。また、ミラー205、206表面に金属膜を形成してもよい。

【0053】次に、皮膜が形成された第1のフォトレジスト306表面を除去する酸素プラズマと、その他の変成していないフォトレジストを除去するレジスト剥離液とを併用して、第1のフォトレジスト306および第2のフォトレジスト307を剥離した。以上により、図4(f-1)、(f-2)、(f-3)に示すような光集積回路基板が作製された。

【0054】上記製造工程により距離測定用の光集積回路を作製したところ、従来の製造方法では約10%の良品歩留りしか得られなかつたのに対し、98%まで向上させることができた。

【0055】(実施例3) 本実施例においては、図6(f-1)、(f-2)、(f-3)に示すような光集積回路の製造に本発明を適用した。

【0056】この光集積回路は、シリコン基板100の上にSiO₂下クラッド層101、Al₂O₃コア層104およびSiO₂上クラッド層103からなる光導波路が形成されている。この光導波路は厚み方向に一部また

は全部が除去されて、光導波路内にマイクロガイド 201、導波路レンズ 202、光分波器 203、位相シフタ 204、ミラー 205 および 206 という各光回路が作りこまれている。マイクロガイド 201、導波路レンズ 202、光分波器 203 および 位相シフタ 204 における光導波路の除去深さと、ミラー 205 および 206 における光導波路の除去深さとは、それぞれ異なっている。この光集積回路は、導波路型変位計に用いられる。

【0057】図 5 および図 6 に、本実施例の光集積回路の製造工程を示す。

【0058】まず、図 5 (a-1)、(a-2) に示すように、シリコン基板 100 の上に、厚み 5 μm の SiO₂ 下クラッド層 101、厚み 0.3 μm の Al₂O₃ コア層 104 および厚み 1 μm の SiO₂ 上クラッド層 103 からなる光導波路を RF スパッタ法により形成した。この光導波路上全面に、第 1 のフォトレジスト 306 を 2 μm の厚みで塗布した。

【0059】続いて、図 5 (b-1)、(b-2) に示すように、マイクロガイド 201、導波路レンズ 202、光分波器 203 および 位相シフタ 204 に加えて、2 つのミラー 205 および 206 の各々に対応する領域上の第 1 のフォトレジスト 306 を露光して除去した。この露光により、エッチングされるべき全てのパターンが規定されて、各光回路相互の位置関係が決定される。

【0060】その後、図 5 (c) に示すように、第 1 のフォトレジスト 306 が形成された基板表面全面をフッ素プラズマ 601 霧囲気に曝した。これにより、第 1 のフォトレジスト表面にテフロン層が形成された。

【0061】次に、図 6 (d-1)、(d-2) に示すように、パターン化されて残った第 1 のフォトレジスト 306 をマスクとして SiO₂ 上クラッド層 103 をエッチングして除去した。このエッチングはフッ酸系のエッチング液を用いて行い、Al₂O₃ コア層 104 の直上でエッチングを停止した。以上により、マイクロガイド 201、導波路レンズ 202、光分波器 203 および 位相シフタ 204 として動作する光回路が形成された。これらの光回路は、光導波路を構成する SiO₂ 下クラッド層 101、Al₂O₃ コア層 104 および SiO₂ 上クラッド層 103 の各層の屈折率とエッチング深さとを制御することにより、所望の特性を実現することができる。

【0062】次に、図 6 (e-1)、(e-2)、(e-3) に示すように、上記エッチング工程に用いた第 1 のフォトレジスト 306 をそのまま残し、基板全面に新たに第 2 のフォトレジスト 307 を 2 μm の厚みで塗布した。この時、第 1 のフォトレジスト 306 の表面には、上述のフッ素プラズマ処理工程によるテフロン層が形成されているので 2 つのフォトレジスト 306 と 307 とが混合することは無かった。

【0063】続いて、マイクロガイド 201、導波路レ

ンズ 202、光分波器 203 および 位相シフタ 204 を含む領域 207 上を残して、他の領域上の第 2 のフォトレジスト 307 を露光して除去した。第 1 のフォトレジスト 306 は上記フッ素プラズマ処理工程により表面にテフロン層が形成されているので、この露光・現像により除去されなかった。また、この露光工程のためのマスク合わせは、マイクロガイド 201、導波路レンズ 202、光分波器 203 および 位相シフタ 204 を含む領域 207 を残すようにすればよいので、高い精度を必要とせず、数 10 μm 程度の精度で充分である。よって、効率よくマスク合わせを行うことができた。

【0064】その後、パターン化されて残った第 1 のフォトレジスト 306 および 第 2 のフォトレジスト 307 をマスクとして、2 つのミラー 205 および 206 の形成領域を、例えばフッ酸系のエッチング液を用いた湿式エッチング法によりエッチングした。この領域は、上述のマイクロガイド 201、導波路レンズ 202、光分波器 203 および 位相シフタ 204 を形成するためのエッチング工程において SiO₂ 上クラッド層 103 が除去されているので、ここでは Al₂O₃ コア層 104 および SiO₂ 下クラッド層 101 の各層をエッチングするだけで、2 つのミラー 205 および 206 が形成された。ここで、ミラー 205 は到達した光をすべて同一方向に反射させるミラーとして働くように、また、ミラー 206 は到達した光の半分を 1 つの光検出器に向けて、残りの半分を他の光検出器に向けて反射させる光分割器として働くように設計した。

【0065】このエッチング工程では、シリコン基板 100 直上でエッチングを停止したが、実施例 1 および実施例 2 と同様に、途中までエッチングを終了しても光集積回路の動作に影響を与えない。また、ミラー 205、206 の反射率を向上させるために、実施例 1 と同様にしてミラー 205、206 表面に金属膜を形成してもよい。

【0066】次に、テフロン層が形成された第 1 のフォトレジスト 306 表面を除去する酸素プラズマと、その他の変成していないフォトレジストを除去するレジスト剥離液とを併用して、第 1 のフォトレジスト 306 および 第 2 のフォトレジスト 307 を剥離した。以上により、図 6 (f-1)、(f-2)、(f-3) に示すような光集積回路基板が作製された。

【0067】上記製造工程により距離測定用の光集積回路を作製したところ、従来の製造方法では約 10% の良品歩留りしか得られなかつたのに対し、98% まで向上させることができた。

【0068】(実施例 4) 本実施例においては、図 8 (d-1)、(d-2)、(d-3) に示すような半導体レーザが一体集積化された光集積回路の製造に本発明を適用した。

【0069】この光集積回路は、n-GaAs 基板 70

0の上に、 $n-A_{1-x}Ga_xAs$ クラッド層701、アンドープ-GRIN (Graded-Index)-SCH (Separate-Confinement-Heterostructure)-SQW (Single-Quantum-Well) 層702、アンドープ- $A_{1-x}Ga_xAs$ キャリア障壁層703、アンドープ- $A_{1-x}Ga_xAs$ 光導波層704、 $p-A_{1-x}Ga_xAs$ クラッド層705および $p-GaAs$ コンタクト層706が積層形成されて光導波路となっている。光導波路は厚み方向に一部または全部が除去されて、光導波路内に、導波路レンズ202、光分波器203、位相シフタ204、ミラー205および206という各光回路が作りこまれている。アンドープ- $A_{1-x}Ga_xAs$ 光導波層704は、全長4mm (A-B方向) の内、端部から500μmの領域に、周期130nm、深さ0.05μmの1次回折格子710が形成されており、この端部から500μmの領域が分布帰還型半導体レーザ (DFBレーザ) 602として動作する。DFBレーザ602を構成する領域の光導波路は、厚み方向に一部除去された領域610を形成することにより横方向の光閉じ込めができるリッジ構造となっている。導波路の一部が除去された領域610、導波路レンズ202、光分波器203および位相シフタ204における光導波路の除去深さと、ミラー205および206における光導波路の除去深さとは、それぞれ異なっている。この光集積回路は、導波路型変位計に用いられる。

【0070】図7および図8に、本実施例の光集積回路の製造工程を示す。

【0071】まず、図7 (a-1)、(a-2) に示すように、 $n-GaAs$ 基板700の上に、厚み1μmの $n-A_{1-x}Ga_xAs$ クラッド層701、厚み0.31μmのアンドープ-GRIN-SCH-SQW層702、厚み0.2μmのアンドープ- $A_{1-x}Ga_xAs$ キャリア障壁層703、厚み0.1μmのアンドープ- $A_{1-x}Ga_xAs$ 光導波層704を有機金属気相成長 (MOCVD) 法により形成した。ここで、アンドープ-GRIN-SCH-SQW層702は、厚み0.15μmのアンドープ- $A_{1-x}Ga_xAs$ ($0.3 \leq x \leq 0.6$) 傾斜屈折率 (GRIN) 層、厚み0.01μmのアンドープ-GaAs 量子井戸層および厚み0.15μmのアンドープ- $A_{1-x}Ga_xAs$ ($0.3 \leq x \leq 0.6$) GRIN層から構成した。

【0072】次に、通常の電子ビームレジストを用いた電子ビームリソグラフィーにより、全長4mmのアンドープ- $A_{1-x}Ga_xAs$ 光導波層704の内、端部から500μmの領域に、周期130nm、深さ0.05μmの1次回折格子710を形成し、続いてそれ以外の領域にシリコンの打ち込みを行った。このシリコンの打ち込みにより、DFBレーザ以外の領域に電流が注入されるのを阻止することができると共に、量子井戸層が

無秩序化されるので禁制体幅を大きくすることができた。このため、DFBレーザ602において発生したレーザ光がDFBレーザ以外の領域で吸収されず、レーザ光を効率良く導波することができた。この量子井戸層の無秩序化による効果とその光集積回路への応用については、「IEEE JOURNAL OF QUANTUM ELECTRONICS」紙の1991年、第27巻、第6号、第1609頁～第1615頁に記載された論文に詳しく報告されている。

10 【0073】上記電子ビームレジストを除去し、基板表面を清浄化した後、厚み2μmの $p-A_{1-x}Ga_xAs$ クラッド層705および厚み1μmの $p-GaAs$ コンタクト層706をMOCVD法により形成した。

【0074】この光導波路上全面に、第1のフォトレジスト306を2μmの厚みで塗布した。

【0075】続いて、導波路の一部が除去された領域610、導波路レンズ202、光分波器203および位相シフタ204に加えて、2つのミラー205および206の各々に対応する領域上のフォトレジスト309を露光して除去した。この露光により、エッチングされるべき全てのパターンが規定されて、各光回路相互の位置関係が決定される。

20 【0076】次に、図7 (b-1)、(b-2) に示すように、パターン化されて残った第1のフォトレジスト306をマスクとして $p-GaAs$ コンタクト層706および $p-A_{1-x}Ga_xAs$ クラッド層705をエッチングして除去した。このエッチングは塩素ガスを用いた反応性イオンビームエッチング (RIBE) を用いて行い、アンドープ- $A_{1-x}Ga_xAs$ 光導波層704直上でエッチングを停止した。以上により、DFBレーザ602、導波路レンズ202、光分波器203および位相シフタ204として動作する光回路が形成された。これらの光回路は、光導波路を構成する各層の屈折率とエッチング深さとを制御することにより、所望の特性を実現することができる。

30 【0077】次に、図8 (c-1)、(c-2)、(c-3) に示すように、上記エッチング工程に用いた第1のフォトレジスト306をそのまま残し、基板全面に新たに第2のフォトレジスト307を2μmの厚みで塗布した。

40 【0078】この時、第1のフォトレジスト306の表面には、第2のフォトレジスト307の塗布に先だって遠紫外線照射が行われており、この遠紫外線照射による皮膜が形成されているので2つのフォトレジスト306と307とが混合することは無かった。

【0079】続いて、DFBレーザ602、導波路レンズ202、光分波器203および位相シフタ204を含む領域207上を残して、他の領域上の第2のフォトレジスト307を露光して除去した。第1のフォトレジスト306は上記遠紫外線照射工程により表面に皮膜が形

成されているので、この露光・現像により除去されなかつた。また、この露光工程のためのマスク合わせは、D F B レーザ 602、導波路レンズ 202、光分波器 203 および位相シフタ 204 を含む領域 207 を残すようにすればよいので、高い精度を必要とせず、数 $10 \mu\text{m}$ 程度の精度で充分である。よつて、効率よくマスク合わせを行うことができた。

【0080】その後、パターン化されて残った第1のフォトトレジスト 306 および第2のフォトトレジスト 307 をマスクとして、2つのミラー 205 および 206 の形成領域を、例えば RIBE 法によりエッティングした。この領域は、上述の DFB レーザ 602 のリッジ構造 610、導波路レンズ 202、光分波器 203 および位相シフタ 204 を形成するためのエッティング工程において $p-GaAs$ コンタクト層 706 および $p-Al_{0.1}Ga_{0.9}As$ クラッド層 705 が除去されているので、ここではアンドープー $-Al_{0.1}Ga_{0.9}As$ 光導波層 704、アンドープー $-Al_{0.1}Ga_{0.9}As$ キャリア障壁層 703、アンドープー GRIN-SCH-SQW 層 702 および $n-Al_{0.1}Ga_{0.9}As$ クラッド層 701 の各層をエッティングするだけで、2つのミラー 205 および 206 が形成された。ここで、ミラー 205 は到達した光をすべて同一方向に反射させるミラーとして働くようになつた。また、ミラー 206 は到達した光の半分を1つの光検出器に向けて、残りの半分を他の光検出器に向けて反射させる光分割器として働くように設計した。

【0081】このエッティング工程では、 $n-GaAs$ 基板 700 直上でエッティングを停止したが、光導波路内を導波する光の強度分布は数 μm 以下であるので、 $n-Al_{0.1}Ga_{0.9}As$ クラッド層 701 をすべて除去する必要はない。光強度分布が殆ど含まれる程度まで除去すれば、途中までエッティングを終了しても光集積回路の動作に影響を与えない。この場合、エッティングされた領域の光導波路（空気のみの自由空間）の等価屈折率と、エッティングされていない領域の光導波路の等価屈折率との差により生じるフレネル反射の反射率は通常 30% 程度である。このままでも変位計として動作させることができるが、さらに反射率を向上させるために、ミラー 205、206 面に金属膜を形成してもよい。

【0082】次に、皮膜が形成された第1のフォトトレジスト 306 表面を除去する酸素プラズマと、その他の変成していないフォトトレジストを除去するレジスト剥離液とを併用して、第1のフォトトレジスト 306 および第2のフォトトレジスト 307 を剥離した。以上により、図 8 (d-1)、(d-2)、(d-3) に示すような光集積回路基板が作製された。

【0083】上記製造工程により距離測定用の光集積回路を作製したところ、従来の製造方法では約 7% の良品歩留りしか得られなかつたのに対し、97% まで向上させることができた。この光集積回路は、回路内に半導体

レーザがモノリシックに集積されているので、光応用システムの安定性および信頼性を飛躍的に向上させることができた。

【0084】(実施例 5) 本実施例においては、図 10 (h-1)、(h-2)、(h-3) に示すような半導体レーザが一体集積化された光集積回路の製造に本発明を適用した。

【0085】この光集積回路は、 $n-InP$ 基板 800 の上に、 $n-InP$ クラッド層 801、アンドープー $InGaAsP$ 多重量子井戸 (MQW) 層 ($\lambda = 1.5 \mu\text{m}$) 802、 $p-InP$ クラッド層 803 および $p-InGaAsP$ コンタクト層 804 が積層形成されて光導波路となつてゐる。光導波路は厚み方向に一部または全部が除去されて、光導波路内に、導波路レンズ 604、光分波器 203、位相シフタ 204、ミラー 205 および 206 という各光回路が作りこまれてゐる。導波路レンズ 604、光分波器 203 および位相シフタ 204 における光導波路の除去深さと、ミラー 205 および 206 における光導波路の除去深さとは、それぞれ異なつてゐる。この基板上には、さらに、図 5 (b) に示すように横方向が規定されたメサ型のレーザ 603 が形成されている。この光集積回路は、導波路型変位計に用いられる。

【0086】図 9 および図 10 に、本実施例の光集積回路の製造工程を示す。

【0087】まず、 $n-InP$ 基板 800 の上に、例えば RFS パッタ法により厚み 3000 オングストロームの SiO_2 膜を形成し、これを図 9 (a) に示すようにパターンングする。このようにパターンングされた SiO_2 層 902 は、その後で MOCVD 法により結晶成長を行つた時に、 SiO_2 層 902 近傍に成長される結晶の膜厚を増加させる働きを有することが報告されている（例えば、「FOURTH OPTOELECTRONICS CONFERENCE TECHNICAL DIGEST」17C2-1）。

【0088】次に、図 9 (b-1)、(b-2)、(b-3) に示すように、厚み $1 \mu\text{m}$ の $n-InP$ クラッド層 801、厚み $0.2 \mu\text{m}$ のアンドープー $InGaAsP$ 多重量子井戸 (MQW) 層 ($\lambda = 1.5 \mu\text{m}$) 802、厚み $1 \mu\text{m}$ の $p-InP$ クラッド層 803 および厚み $1 \mu\text{m}$ の $p-InGaAsP$ コンタクト層 804 を MOCVD 法により形成した。この時、 SiO_2 層 902 がパターン形成された領域は結晶成長が起らないので、横方向が選択成長によって規定されたメサ型のレーザ 603 が形成される。また、レーザ 603 領域は、 SiO_2 層 902 近傍に存在するので、上述したように MQW 層 802 の各膜厚がそれ以外の領域より厚くなる。このため、レーザ 603 領域とそれ以外の領域で 50 meV 程度の禁制帯幅の差が生じて、レーザ 603 領域で発生した光が他の領域で吸収されず、

効率良く導波される。

【0089】続いて、図9 (c-1)、(c-2)に示すように、 SiO_2 層902を除去し、光導波路上全面に、第1のフォトレジスト900を $2\text{ }\mu\text{m}$ の厚みで塗布した。続いて、図9 (d-1)、(d-2)に示すように、導波路レンズ604、光分波器203および位相シフタ204に加えて、2つのミラー205および206の各々に対応する領域上を規定するために、各領域上を残して第1のフォトレジスト900を露光して除去した。この露光により、エッチングされるべき全てのパターンが規定されて、各光回路相互の位置関係が決定される。

【0090】その後、図10 (e-1)、(e-2)に示すように、基板全面にRFスパッタ法により厚み $0.2\text{ }\mu\text{m}$ のCr膜901を形成し、続いてパターン化されて残った第1のフォトレジスト900を有機溶剤で剥離して除去した。この時、Cr膜901の厚みは $0.2\text{ }\mu\text{m}$ であり、第1のフォトレジスト900の厚み $2\text{ }\mu\text{m}$ よりはるかに薄いので、第1のフォトレジスト900上の第1のCr膜901が一緒に除去された。これにより、導波路レンズ604、光分波器203および位相シフタ204に加えて、2つのミラー205および206の各々に対応する領域上が除去されたCr膜901が形成された。尚、ここで、Cr膜901の代わりに、Al、TiまたはAu等の金属膜を形成してもよい。

【0091】次に、図10 (f-1)、(f-2)に示すように、パターン化されて残ったCr膜901をマスクとしてp-InGaAsPコンタクト層804およびp-InPクラッド層803をエッチングして除去した。このエッチングは塩素ガスを用いたRIEを用いて行い、アンドープMQW層802直上でエッチングを停止した。以上により、メサ型のレーザ603、導波路レンズ604、光分波器203および位相シフタ204として動作する光回路が形成された。これらの光回路は、光導波路を構成する各層の屈折率とエッチング深さとを制御することにより、所望の特性を実現することができる。

【0092】次に、図10 (g-1)、(g-2)、(g-3)に示すように、上記エッチング工程に用いたCr膜901をそのまま残し、基板全面に新たに第2のフォトレジスト307を $2\text{ }\mu\text{m}$ の厚みで塗布した。

【0093】続いて、メサ型のレーザ603、導波路レンズ604、光分波器203および位相シフタ204を含む領域207上を残して、他の領域上の第2のフォトレジスト307を露光して除去した。Cr膜901は、当然ながらこの露光・現像により除去されなかった。また、この露光工程のためのマスク合わせは、メサ型のレーザ603、導波路レンズ604、光分波器203および位相シフタ204を含む領域207を残すようにすればよいので、高い精度を必要とせず、数 $10\text{ }\mu\text{m}$ 程度の

精度で充分である。よって、効率よくマスク合わせを行うことができた。

【0094】その後、パターン化されて残ったCr膜901および第2のフォトレジスト307をマスクとして、2つのミラー205および206の形成領域を、例えばRIE法によりエッチングした。この領域は、上述の導波路レンズ604、光分波器203および位相シフタ204を形成するためのエッチング工程においてp-InGaAsPコンタクト層804およびp-InPクラッド層803が除去されているので、ここではアンドープ-InGaAs/InGaAsP MQW層802およびn-InPクラッド層801の各層をエッチングするだけで、2つのミラー205および206が形成された。ここで、ミラー205は到達した光をすべて同一方向に反射させるミラーとして働くように、また、ミラー206は到達した光の半分を1つの光検出器に向けて、残りの半分を他の光検出器に向けて反射させる光分割器として働くように設計した。

【0095】このエッチング工程では、n-InP基板20800直上でエッチングを停止したが、光導波路内を導波する光の強度分布は数 μm 以下であるので、n-InPクラッド層801をすべて除去する必要はない。光強度分布が殆ど含まれる程度まで除去すれば、途中までエッチングを終了しても光集積回路の動作に影響を与えない。この場合、エッチングされた領域の光導波路(空気のみの自由空間)の等価屈折率と、エッチングされていない領域の光導波路の等価屈折率との差により生じるフレネル反射の反射率は通常30%程度である。このままでも変位計として動作させることができるが、さらに反射率を向上させるために、ミラー205、206面に金属膜を形成してもよい。

【0096】次に、第2のフォトレジスト307を除去する酸素プラズマと、Cr膜901を除去する塩酸とを併用して、第2のフォトレジスト307およびCr膜901を剥離した。以上により、図10 (h-1)、(h-2)、(h-3)に示すような光集積回路基板が作製された。

【0097】上記製造工程により距離測定用の光集積回路を作製したところ、従来の製造方法では約5%の良品歩留りしか得られなかったのに対し、99%まで向上させることができた。この光集積回路は、回路内に半導体レーザがモノリシックに集積されているので、光応用システムの安定性および信頼性を飛躍的に向上させることができた。

【0098】以上本発明の実施例について説明したが、本発明はこれに限られない。

【0099】上記実施例1～5においては、光導波路の除去深さが2種類の場合について説明したが、3種類以上の除去深さでパターン形成する場合にも、上述の2回目の露光工程を繰り返すことにより適応可能である。

【0100】導波路型の光集積回路であれば変位計以外の製造にも適用することができ、例えば光通信用送・受信器等の製造に適用することができる。また、基板上には光源である半導体レーザ素子、受光素子等を集積化することもできる。さらに、光集積回路の基板としてSi基板や、GaAsまたはInP等の化合物半導体基板を用いることにより周辺デバイスとしての電子回路を集積化して、所謂光電子集積回路としてもよい。

【0101】

【発明の効果】以上の説明から明らかなように、本発明によれば、エッチングが施されるべき全ての領域のパターンが最初の1回の露光工程によって全て規定されるので、各パターン相互間の位置関係もその1回の露光によって決まる。よって、マスク合わせの精度が不十分であるために生じる光回路の位置ずれが生じず、動作不良を防ぐことができる。この露光工程に用いられるマスクは、電子ビーム露光により一括して作製することができる、各光回路相互の位置関係および角度関係を精度良く制御することができる。よって、光集積回路を歩留り良く製造することができ、低価格化を実現することができる。

【0102】2回目以降の露光工程においては、1回目の露光工程で全ての領域のパターンが規定されているので、目的の領域を含む大きな領域で大まかなマスク合わせを行うだけでよい。よって、レジスト膜のパターン化を非常に容易に行うことができ、効率的に光集積回路を製造することができる。

【図面の簡単な説明】

【図1】実施例1の光集積回路の製造工程を示す図である。左側の図(a-1)～(c-1)は各工程における上部平面図であり、右側の図(a-2)～(c-3)は左側の図で一点鎖線で示した箇所の断面図である。

【図2】実施例1の光集積回路の製造工程を示す図である。左側の図(d-1)、(e-1)は各工程における上部平面図であり、右側の図(d-2)～(e-3)は左側の図で一点鎖線で示した箇所の断面図である。

【図3】実施例2の光集積回路の製造工程を示す図である。左側の図(a-1)～(b-1)は各工程における上部平面図であり、右側の図(a-2)～(b-2)は左側の図で一点鎖線で示した箇所の断面図であり、(c)は図(b-1)の後工程における断面図である。

【図4】実施例2の光集積回路の製造工程を示す図である。左側の図(d-1)～(f-1)は各工程における上部平面図であり、右側の図(d-2)～(f-3)は左側の図で一点鎖線で示した箇所の断面図である。

【図5】実施例3の光集積回路の製造工程を示す図である。左側の図(a-1)～(b-1)は各工程における上部平面図であり、右側の図(a-2)～(b-2)は左側の図で一点鎖線で示した箇所の断面図であり、(c)は図(b-1)の後工程における断面図である。

【図6】実施例3の光集積回路の製造工程を示す図である。左側の図(d-1)～(f-1)は各工程における上部平面図であり、右側の図(d-2)～(f-3)は左側の図で一点鎖線で示した箇所の断面図である。

【図7】実施例4の光集積回路の製造工程を示す図である。左側の図(a-1)～(b-1)は各工程における上部平面図であり、右側の図(a-2)～(b-2)は左側の図で一点鎖線で示した箇所の断面図である。

【図8】実施例4の光集積回路の製造工程を示す図である。左側の図(c-1)～(d-1)は各工程における上部平面図であり、右側の図(c-2)～(d-3)は左側の図で一点鎖線で示した箇所の断面図である。

【図9】実施例5の光集積回路の製造工程を示す図である。左側の図(a)～(d-1)は各工程における上部平面図であり、右側の図(b-2)～(d-2)は左側の図で一点鎖線で示した箇所の断面図である。

【図10】実施例5の光集積回路の製造工程を示す図である。左側の図(e-1)～(h-1)は各工程における上部平面図であり、右側の図(e-2)～(h-3)は左側の図で一点鎖線で示した箇所の断面図である。

【図11】従来の光集積回路の製造工程を示す図である。左側の図(a-1)～(d-1)は各工程における上部平面図であり、右側の図(a-2)～(d-2)は左側の図で一点鎖線で示した箇所の断面図である。

【図12】光集積回路の一例を示す上部平面図である。

【符号の説明】

100 シリコン基板

101 SiO_x下クラッド層

102 Si_xN_xコア層

30 103 SiO_x上クラッド層

201 マイクロガイド

202、604 導波路レンズ

203 光分波器

204 位相シフタ

205、206 ミラー

306、900 第1のフォトレジスト

307 第2のフォトレジスト

308、901 金属膜

600 遠紫外線

40 601 フッ素プラズマ

602 DFBレーザ

603 メサ型のレーザ

610 導波路の一部が除去された領域

700 n-GaAs基板

701 n-Al_xGa_{1-x}Asクラッド層

702 アンドープ-GRIN-SCHE-SQW層

703 アンドープ-Al_xGa_{1-x}Asキャリア障壁層

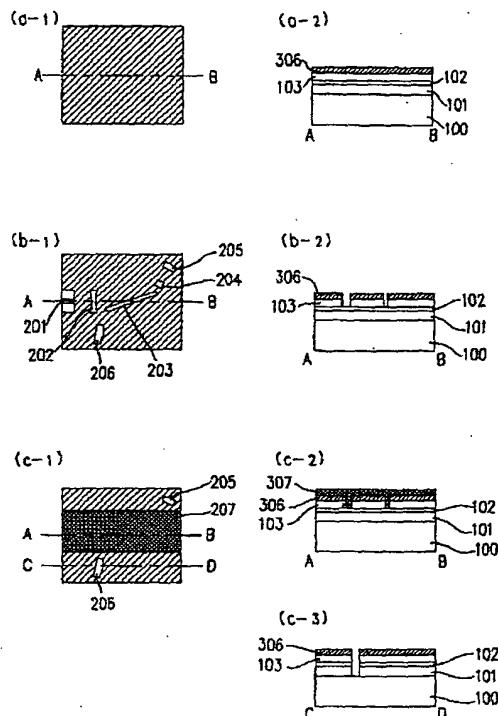
704 アンドープ-Al_xGa_{1-x}As光導波層

50 705 p-Al_xGa_{1-x}Asクラッド層

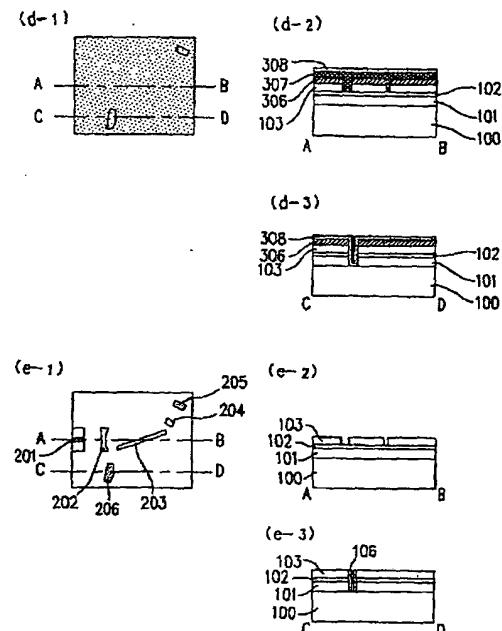
706 p-GaAsコンタクト層
 800 n-InP基板
 801 n-InPクラッド層
 802 アンドープ-InGaAs/InGaAsP多

重量子井戸層
 803 p-InPクラッド層
 804 p-InGaAsPコンタクト層
 902 SiO₂層

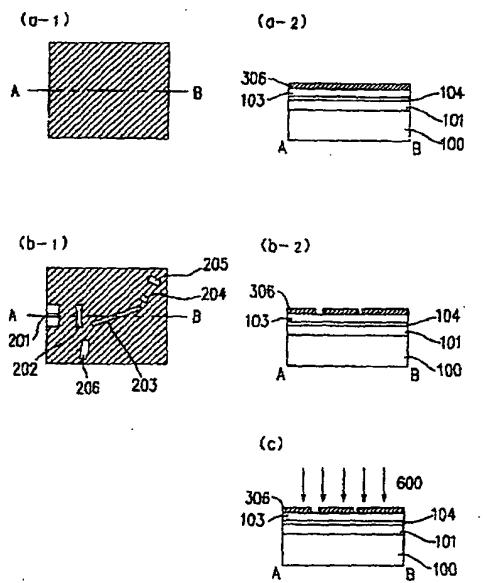
【図1】



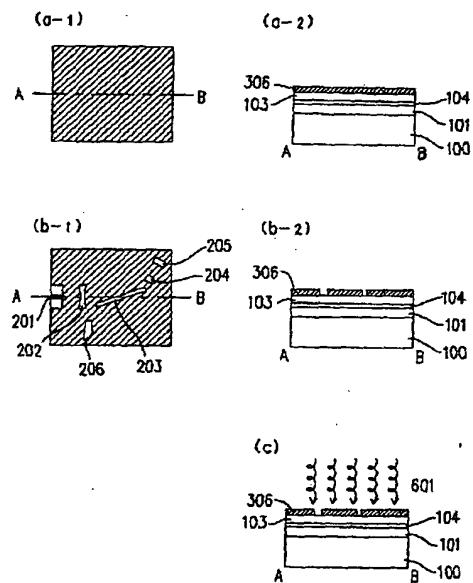
【図2】



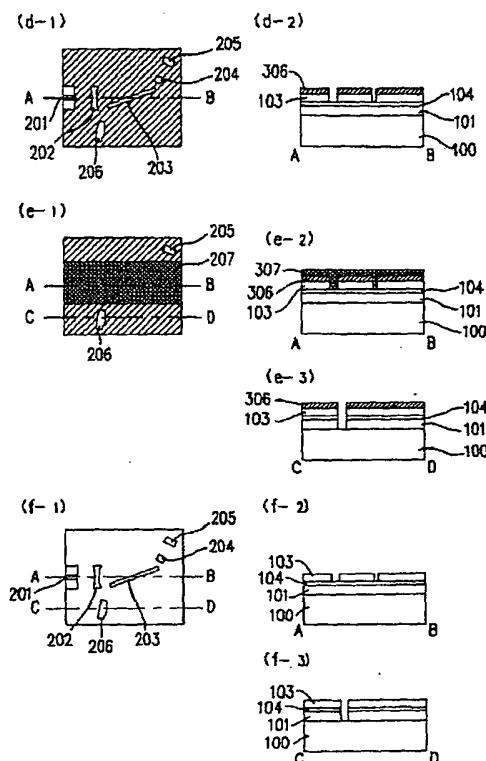
【図3】



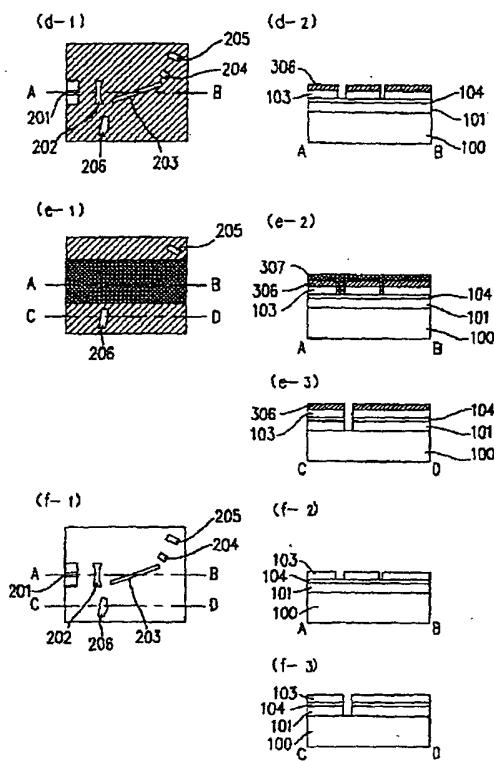
【図5】



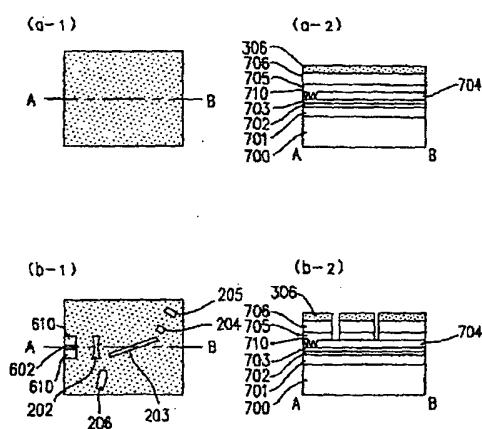
【図 4】



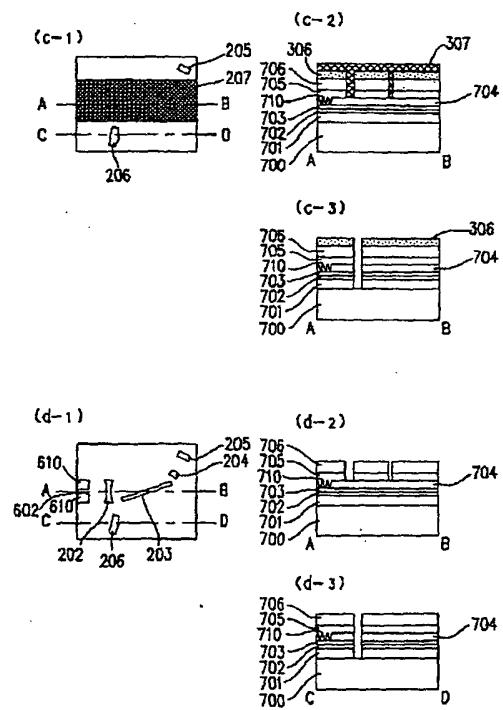
【図 6】



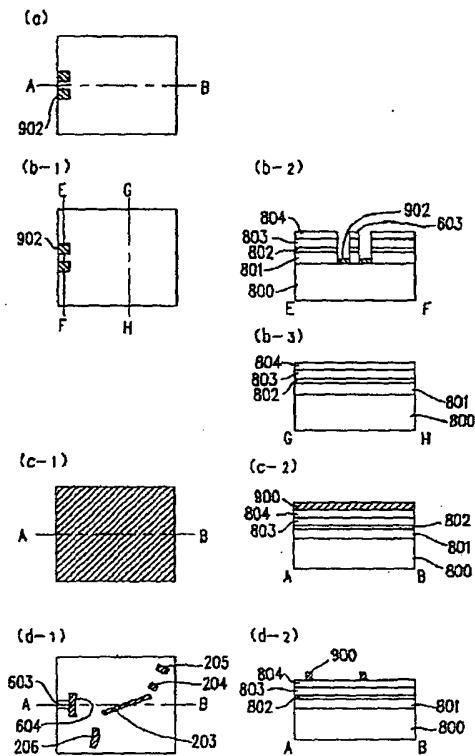
【図 7】



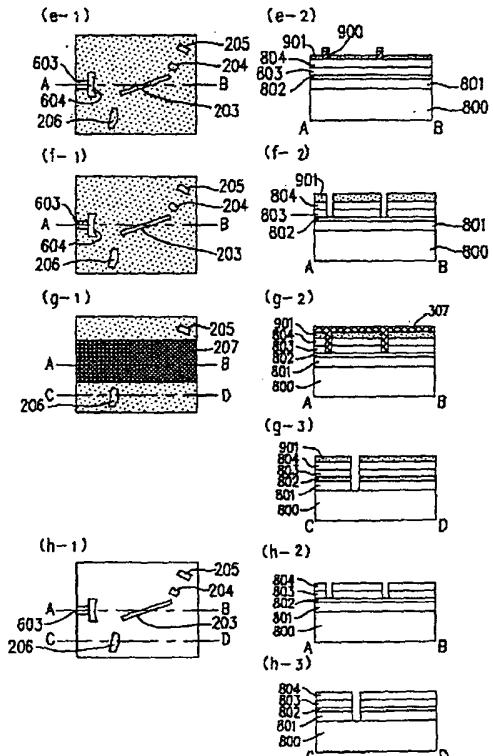
【図 8】



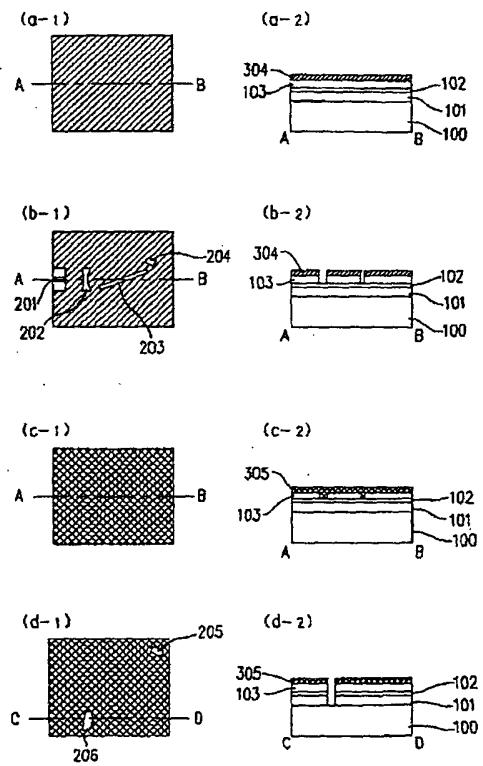
【図 9】



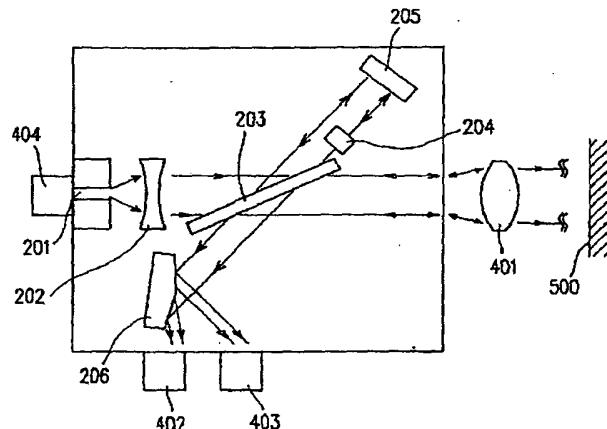
【図 10】



【図 11】



【図 12】



フロントページの続き

(72)発明者 下中 淳
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内